

Lightly donor doped electrodes for high-dielectric-constant materials.

Patent Number: ☐ EP0618597, B1
Publication date: 1994-10-05
Inventor(s): GNADE BRUCE (US); BERATAN HOWARD R (US); SUMMERFELT SCOTT R (US)
Applicant(s): TEXAS INSTRUMENTS INC (US)
Requested Patent: ☐ JP6326250
Application Number: EP19940104866 19940328
Priority Number(s): US19930040946 19930331
IPC Classification: H01G1/01; H01L27/115; H01L27/108
EC Classification: H01L21/316D, H01G1/01, H01L27/115F
Equivalents: DE69404189D, DE69404189T, US5354819
Cited patent(s): US5155658; EP0337373

Abstract

A preferred embodiment of this invention comprises a conductive lightly donor doped perovskite layer (e.g. lightly La doped BST 34), and a high-dielectric-constant material layer (e.g. undoped BST 36) overlaying the conductive lightly donor doped perovskite layer. The conductive lightly donor doped perovskite layer provides a substantially chemically and structurally stable electrical connection to the high-dielectric-constant material layer. A lightly donor doped perovskite generally has much less resistance than undoped, acceptor doped, or heavily donor doped HDC materials. The amount of donor doping to make the material conductive (or resistive) is normally dependent on the process conditions (e.g. temperature, atmosphere, grain size, film thickness and composition). This resistivity may be further decreased if the perovskite is exposed to reducing conditions. The lightly donor doped perovskite can be deposited and etched by effectively the same techniques that are developed for the high-dielectric-constant material. The same equipment may used to deposit and etch both the perovskite electrode and the dielectric. These structures may also be used for multilayer capacitors and other thin-film ferroelectric devices such as pyroelectric materials, non-volatile memories, thin-film piezoelectric

and thin-film electro-optic oxides. 

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-326250

(43) 公開日 平成6年(1994)11月25日

| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|---------|-----|--------|
| H 0 1 L 27/04 | C | 8832-4M | | |
| H 0 1 G 4/06 | 1 0 2 | 9174-5E | | |

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特願平6-60931

(22) 出願日 平成6年(1994)3月30日

(31) 優先権主張番号 0 4 0 9 4 6

(32) 優先日 1993年3月31日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 スコット アール, サマーフェルト

アメリカ合衆国テキサス州ダラス, スキル
マン ロード 9350, アpartment ナ
ンバー 2911

(74) 代理人 弁理士 浅村 皓 (外3名)

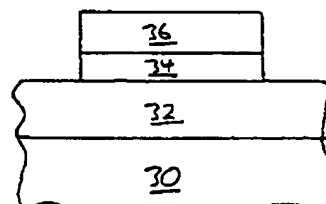
最終頁に続く

(54) 【発明の名称】 高誘電率材料へのコンタクト構造および形成方法

(57) 【要約】

【目的】 コンデンサー誘電体等の高誘電率材料への進歩した電氣的接続法を提供する。

【構成】 本発明の好適実施例は、導電性で低濃度にドナーをドーピングされたペロブスカイト層34と前記ペロブスカイト層を覆ってそれに対して化学的、構造的に安定な電氣的接続を提供する高誘電率材料の層36とを含む。導電性で低濃度にドナーをドーピングされたペロブスカイトは一般に、未ドーピング、アクセプタードーピング、あるいは高濃度にドナーをドーピングされたHDC材料と比べてずっと低い抵抗率を有する。材料を導電性（または抵抗性）にするためのドナードーピング量は通常、プロセス条件に依存する。この抵抗率はペロブスカイトを還元環境に曝すことによって更に低下する。ペロブスカイトは高誘電率材料と同じ方法によって堆積およびエッチできる。



【特許請求の範囲】

【請求項1】 ミクロ電子構造を形成する方法であって、次の工程：

(a) 導電性で低濃度にドナーをドーブされたペロブスカイト層を形成すること、および

(b) 前記導電性で低濃度にドナーをドーブされたペロブスカイト層の上に高誘電率材料の層を形成すること、を含み、

それによって、前記導電性で低濃度にドナーをドーブされたペロブスカイト層が前記高誘電率材料の層に対して化学的および構造的に本質的に安定な電氣的接続を提供している方法。

【請求項2】 ミクロ電子構造であって；導電性で低濃度にドナーをドーブされたペロブスカイト層、および前記導電性で低濃度にドナーをドーブされたペロブスカイト層を覆う高誘電率材料の層、を含み、

それによって、前記導電性で低濃度にドナーをドーブされたペロブスカイト層が前記高誘電率材料の層に対して化学的および構造的に本質的に安定な電氣的接続を提供している構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は一般的には、コンデンサの作製時のような場合の高誘電率材料への電氣的接続の改善に関するものである。

【0002】

【従来の技術】 本発明の範囲を限定するものではないが、一例として高誘電率材料へ電氣的接続を作製する現状の技術を取り上げて、本発明の背景について説明する。

【0003】 集積回路（例えば、DRAM）の集積度が増大するにつれて、コンデンサー等の電氣的デバイスに使用されるべき高誘電率の材料に対する需要が高まっている単位面積当たりに高い容量値を達成するために一般的に使用されている現状の方法は、誘電体として SiO_2 、 Si_3N_4 、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ を使用したトレンチ型および積層型のコンデンサーのように、表面形状に凹凸を付けることによって単位エリア当たりの表面積を増大させるものである。この方式は256メガビットや1ギガビットのDRAMのようなデバイスに対しては、製造上、適用することが非常に困難である。

【0004】 別の1つの方法は、高誘電率の材料を使用するものである。多くのペロブスカイト、強誘電性、あるいは高誘電率（以下、HDCと略する）の材料、例えば $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 (BST) は標準的な SiO_2 、 Si_3N_4 、 SiO_2 コンデンサーよりもずっと高い容量密度を有しているのが普通である。各種の金属および金属化合物、そしてPtのような典型的な貴金属と例えば RuO_2 のような導電性酸化物がそのようなHDC

材料のための電極として提案されてきている。しかし、電子デバイスに対して有用であるためには、一般にそれらの高誘電率材料の優れた性質を失わせることのない信頼性ある電氣的接続が形成できなければならない。

【0005】

【発明の概要】 この明細書では「高誘電率」という用語は150以上の誘電率を意味するものとして使用している。HDC材料の堆積は通常、酸素を含む雰囲気中で高温（一般的には約500℃より高い温度）において起こる。この堆積工程の間、下側の電極構造は安定でなければならない、この堆積の後には下側および上側の両電極構造はともに安定でなければならない。薄膜（一般的に5ミクロンよりも薄い膜）用としての下側電極用としてこれまで選ばれている材料にはいくつかの問題点がある。それらの問題点の多くは半導体プロセスとの整合性に関するものである。例えばRuは標準的な集積回路製造に使用されない材料であって、しかもかなりの毒性を有する。Ptは下側の電極としていくつかの問題点を有し、そのため単独での使用が妨げられる。Ptは一般にそれを通しての酸素の拡散を許容する性質を有し、そのため隣接材料が酸化されることが多い。Ptはまた、 SiO_2 、 Si_3N_4 のような従来の誘電体に対して良い接着性を示さないことが多く、またPtは低温で容易にシリサイドを形成してしまう。Pt電極の下側には接着層あるいはバッファ層としてTa層が使用されているが、BST堆積中にPtを貫通して酸素が拡散しTaが酸化されて、Taの導電性が低下してしまう。この問題はTa層へではなくPt層へ直接コンタクトを設ける構造に対しては許容できることであろうが、以下に述べるようにその他にも、関連の問題がある。

【0006】 これまでに提案されているその他の構造には、電極としてPt、Pd、Rhの合金を、また単結晶Siまたは多結晶Si上の接着層としてRe、Os、Rh、Irを含む酸化物が含まれている。これらの電極に付随する1つの問題は、これらの酸化物が一般にSiの隣に安定して存在せず、またこれらの金属が典型的には低温（一般に約450℃より低い温度）ですぐにシリサイドを形成することである。

【0007】 上述の解決法に伴う1つの困難は、半導体製造でなじみのない材料（例えば、Ru）が使用されているということである。別の困難はPtまたは RuO_2 に対する比較的良好なドライエッチングの方法がまだ知られていないことである。別の1つの例として、PtまたはRuに対する商用のCDVプロセスが現状では存在しない。Ptは通常Si中を高速に拡散し、そのため別の問題を引き起こす。更に、提案の電極構造の多くはいくつかの追加的なプロセスを要求するが、これも経済的な観点から好ましいことではない。例えば、PtやRuのための商用のCVDプロセスが現状で存在しないし、また RuO_2 に対する商用のドライエッチングも存在し

ない。

【0008】一般に、本発明は薄膜マイクロ電子構造中の電極として、低濃度にドナーをドーピングしたペロブスカイトを使用している。接着層および／または拡散障壁および／または電氣的接続として、もし必要であれば、電極バッファ層も使用する。低濃度にドナーをドーピングされたペロブスカイトは、一般に、未ドーピングのものやアクセプターをドーピングしたもの、あるいは高濃度にドナーをドーピングしたHDC材料よりもずっと低い抵抗値を有する。典型的な低濃度ドーピングのBaTiO₃等のペロブスカイトは一般に、約10ないし100ohm・cmのバルク抵抗率を有する更に、もしペロブスカイトを還元性の環境に曝せばこの抵抗率を更に下げることができる。逆に、ペロブスカイトはドナー濃度を高くすると高抵抗率（約10¹⁰10¹⁴ohm・cm）となる。この材料を導電性（あるいは抵抗性）にするためのドナーのドーピング量は、通常、プロセス条件（すなわち、温度、雰囲気、結晶粒径、膜厚、および組成）に依存する。低濃度のドナードーピングによって導電性になるペロブスカイト、ペロブスカイト類似物、強誘電性またはHDCの酸化物には数多くのものがある。

【0009】低濃度のドナーをドーピングされたペロブスカイト下側電極の堆積は、その下の層の酸化を最小限に止めるように、わずかに還元性の雰囲気中で行われる。それに続くHDC誘電材料の堆積は非常に酸化性の高い状況で行うことができ、低濃度にドナーをドーピングされたペロブスカイト下側電極がその下の層の酸化速度を遅くして、本質的に酸化され連続した抵抗性のコンタクト層が形成されることを阻止する。この電極系での別の1つの利点は、低濃度にドナーをドーピングされたペロブスカイト下側電極がHDC誘電材料の還元をほとんど行わないか、あるいは全く行わないことである。

【0010】開示された構造は一般に、現状の構造の欠点の多くを解消しつつ、HDC材料への電氣的接続を提供する。本発明の1つの実施例は、導電性で低濃度にドナーをドーピングされたペロブスカイト層と、前記導電性で低濃度にドナーをドーピングされたペロブスカイト層を覆う高誘電率の材料層とを含む。この導電性で低濃度にドナーをドーピングされたペロブスカイト層は、前記高誘電率の材料層に対して化学的および構造的に本質的に安定した電氣的接続を提供する。本発明の1つの実施例を形成する方法は、導電性で低濃度にドナーをドーピングされたペロブスカイト層を形成する工程と、前記導電性で低濃度にドナーをドーピングされたペロブスカイト層上に高誘電率の材料層を形成する工程とを含む。

【0011】これらは、明らかなように、高誘電率材料への電氣的接続が、導電性で低濃度にドナーをドーピングされたペロブスカイト層を含むようになった初めての薄膜構造である。導電性で低濃度にドナーをドーピングされたペロブスカイト層は一般に、誘電体のために開発されたの

と同じ方法を用いて効率的に堆積およびエッチできるペロブスカイト電極および誘電体の両方を堆積およびエッチするために同じ装置が使用できる。これらの構造は更に、多層コンデンサーおよびその他の薄膜強誘電性デバイス、例えば、ピロ電気材料、不揮発性メモリ、薄膜圧電および薄膜電気光学的酸化物にも適用できる。

【0012】本発明に特徴的と考えられる新規な特徴については請求の範囲に示した。しかし、本発明そのものについては、そのその他の特徴および利点とともに、以下の添付図面を参照した詳細な説明から最も良く理解できるであろう。

【0013】

【実施例】図1を参照すると、バルクBaTiO₃（BT）の室温導電率と結晶粒径とに対するLaドナードーピングの効果を示すグラフが示されている。BTは一般に代表的なペロブスカイト材料であると考えられており、類似ペロブスカイトであるSrTiO₃（ST）や（Ba，Sr）TiO₃も同様に振る舞うはずである低濃度にドナーをドーピングされたペロブスカイトのバルク抵抗率は一般に、約10ないし100ohm・cmの間にある。更に、この抵抗率はペロブスカイトを還元性の環境に曝すことによって下げることができる。ペロブスカイトはまた、高いドナー濃度において高抵抗率（約10¹⁰10¹⁴ohm・cm）を取る。この材料を導電性（または抵抗性）とするためのドナードーピングの量は、通常、プロセス条件（すなわち、温度、雰囲気、結晶粒径、膜厚、および組成）に依存する。

【0014】ここに用いられているように、「低濃度」という用語はペロブスカイトのドーピングに関して使用される場合、未ドーピングのペロブスカイトの抵抗率よりも本質的に低い抵抗率をもたらすドーピングレベル（すなわち、約0.01ないし約0.3モル百分率のドーピング）を意味する。一般にそのような低い抵抗率はまた、高濃度にドーピングされたペロブスカイトの抵抗率よりも本質的に低い値になっている。当業者には既知のように、ドナードーピングは一般に、格子位置原子の置換であって、置き換わる原子の価電子数が（置き換わられる原子の価電子数に比べて）多いことのために、自由電子が生ずる。

【0015】図2ないし図6を参照すると、本発明の好適実施例である、低濃度にドナーをドーピングされたペロブスカイト下側電極を含むコンデンサーを作製する方法が示されている。図2はシリコン半導体基板30を示している。図3はシリコン基板30の表面上に形成されたSiO₂絶縁層32を示している。図4はSiO₂層32上に堆積された低濃度にLaドナーをドーピングされたBST層34を示しているこの低濃度にLaドナーをドーピングされたBST層34は導電性であり、高誘電率コンデンサーのための下側電極として機能する。図5は低濃度にLaドナーをドーピングされたBST層34上に堆積され

た、コンデンサーの誘電体である未ドーブの高誘電率BSTの層36を示している。コンデンサーの誘電体として未ドーブのBSTを使用できるが、アクセプターをドーブしたものや、高濃度にドナーをドーブしたBSTを用いて高誘電率を得てもよい。図6は未ドーブのBST層36の上に堆積されたTiNの上側電極38を示している。TiNは一般に導電性であることに加えて、良好な接着層および拡散障壁である。これとは別に、上側電極38として、TiNの代わりに低濃度にLaドナーをドーブされたBSTの別の層を用いることもできる。

【0016】別の1つの実施例として、図7は低濃度にLaドナーをドーブされたBST層34の上に堆積された未ドーブの高誘電率BST層36を示している。この低濃度にLaドナーをドーブされたBST層34は、未ドーブの高誘電率BST層36に対して化学的および構造的に安定な電氣的接続を提供する。

【0017】別の1つの実施例として、図8は低濃度にドナーをドーブされたペロブスカイト電極を使用した高誘電率コンデンサーを示している。TiN上側電極38が未ドーブのBST層36を覆っており、更にそれが低濃度にLaドナーをドーブされたBST下側電極34を覆っている。しかし、この低濃度にLaドナーをドーブされたBST下側電極34は第1のSiO₂絶縁層32に直接接して形成されておらず、その代わりTiN電極バッファ層42の上に形成されていることが示されている。このTiN電極バッファ層42は接着層として、更に高誘電率BST層36中のシリコン、酸素、および不純物に対する拡散障壁として使用されている。この目的のために、TiNの代わりにRuO₂/Ruのようなその他の材料を使用することもできる。例えば、Ru金属を堆積することができ、それは低濃度にLaドナーをドーブされたBST層34または未ドーブの高誘電率BST層36の堆積中に、ほとんどの部分がRuO₂になってしまふであろう。この例でTiN電極バッファ層42は直接的な電氣的接続のためには使用されていない。それは、導電性タングステンプラグ46を介して上から低濃度にLaドナーをドーブされたBST層34へ電氣的コンタクトが直接形成されるからである。このタングステンプラグ46は、第2のSiO₂絶縁層44を通してアルミニウム上部配線48に対して電氣的コンタクトを形成する。これ以外の2個のタングステンプラグ46がアルミニウム上部配線層48からTiN上側電極38へとドーブされたシリコン領域40とへ電氣的コンタクトを形成する。

【0018】別の実施例として、図9は低濃度にドナー*

＊をドーブされたペロブスカイト電極を使用した高誘電率コンデンサーを示している。TiN電極バッファ層42の上に、図8に示されたのと同様に低濃度にLaドナーをドーブされたBST下側電極34が形成されている。しかし、図9では、TiN電極バッファ層42がその下のドーブされたシリコン領域40に対して電氣的接続を提供している。TiNはまた、この例においてかなり巧く機能している。というのは、TiNはそれが絶縁性のチタン酸化物を形成するためにはかなり本質的な酸化を受けなければならないからである。例えば、TiO₂は絶縁性であるが、TiONやTiOは導電性である。

【0019】TiN下側電極バッファ層42を使用する場合、TiNの酸化を最小限に止めるために、低濃度にLaドナーをドーブされたBST下側電極34の堆積は少し還元性の雰囲気で行うのが好ましい。未ドーブの高誘電率BST層36の堆積は、一般に、非常に酸性性の高い状況が必要とし、低濃度にLaドナーをドーブされたBST下側電極34はTiN電極バッファ層42の酸化速度を大幅に遅らせ、そのため本質的な酸化を受けた連続的な抵抗性コンタクト層の形成を阻止する。この電極系での別の1つの利点は、低濃度にLaドナーをドーブされたBST下側電極が、あってもわずかし未ドーブBST層36の還元を行わないということである。

【0020】更に別の1つの例として、図10は低濃度にドナーをドーブされたペロブスカイト電極を使用した高誘電率コンデンサーを示している。図9に示されたように電氣的コンタクトのためにTiN電極バッファ層42が使用される。しかし、図10では、TiN電極バッファ層42はタングステンプラグ50を介して、ドーブされたシリコン領域40へ接続している。

【0021】別の方法として、図10のタングステン（またはTiN）プラグ50は、もしTiN電極バッファ層42が使用されなかったとすれば、低濃度にLaドナーをドーブされたBST下側電極34に対して直接つながるように用いることもできる。しかし一般に、低濃度にLaドナーをドーブされたBST下側電極34は酸素拡散障壁として利用されており、従ってこれではあらゆる考えうる酸化状況下でタングステンプラグ50を保護するというわけにはいなくなる。

【0022】次に示す表はいくつかの実施例および図面の全体的な要約を提供している。

【0023】
【表1】

| 図面符号 | 一般用語 | 好適または特定例 | その他の例 |
|------|------|----------|-------|
|------|------|----------|-------|

| | | | |
|----|--------------|--|--|
| 30 | 基板 | シリコン | その他の単体半導体 (例えば ゲルマニウム、ダイヤモンド) 化合物半導体 (例えば、Ga As、InP、Si/Ge、 SiC) セラミック基板 |
| 32 | 第1レベル 絶縁体 | 二酸化シリコン | その他の絶縁体 (例えば、窒 化シリコン) |
| 34 | 下側電極 | 0.1ないし0. 2モル%のLaを ドーピングしたチタン 酸バリウムストロ ンチウム | 0.01ないし0.29モル %のLaをドーピングしたチタン 酸バリウムストロンチウム その他の低濃度にドナー (例 えば、F、Cl、V、Nb、 Mo、La、Ce、Pr、 Nd、Sm、Eu、Gd、 Tb、Dy、Ho、Er、 Ta、W) をドーピングされたペ ロブスカイト、強誘電性、ま たは高誘電率酸化物 (例えば、 (Ba, Sr, Pb) (Ti , Zr) O ₃ 、チタン酸ビス マス、タンタル酸カリウム、 |

【表2】

| 図面符号 | 一般用語 | 好適または特定例 | その他の例 |
|------|------------|--------------------------------|---|
| | | | ム、ニオブ酸鉛亜鉛、ニオブ 酸鉛マグネシウム) ニオブ酸鉛、ニオブ酸カリウ ム、ニオブ酸鉛亜鉛、ニオブ 酸鉛マグネシウム) |
| 36 | 高誘電率 材料 | 未ドーピングのチタン 酸バリウムストロ ンチウム | その他の未ドーピングペロブスカ イト、強誘電性、または高誘 電率酸化物 (例えば、(Ba, Sr, Pb) (Ti, Zr) O ₃ 、(Pb, La) (Zr, Ti) O ₃ 、チタン酸ビスマ ス、タンタル酸カリウム、ニ オブ酸鉛、ニオブ酸カリウム、 ニオブ酸鉛亜鉛、ニオブ酸鉛 |

9

10

| | | | |
|--|--|--|---|
| | | | マグネシウム) アクセプター (例えば、Na、Al、Mn、Ca、K、Cr、Mn、Co、Ni、Cu、Zn、Li、Mg) および/または高濃度 (一般に、0.25モル%より高濃度) のドナー (例えば、F、Cl、V、Nb、Mo、La、Ce、 |
|--|--|--|---|

【表3】

| 図面符号 | 一般用語 | 好適または特定例 | その他の例 |
|------|------|----------|--|
| | | | Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Ta、W) をドーブされたペロブスカイト、強誘電性、または高誘電率酸化物 (例えば、(Ba、Sr、Pb)(Ti、Zr)O ₃ 、チタン酸ビスマス、タンタル酸カリウム、ニオブ酸鉛、ニオブ酸カリウム、ニオブ酸鉛亜鉛、ニオブ酸鉛マグネシウム) |
| 38 | 上側電極 | 窒化チタン | その他の導電性金属化合物 (例えば、窒化物：窒化ルテニウム、窒化錫、窒化ジルコニウム；酸化物：二酸化ルテニウム、酸化錫、一酸化チタン) 貴金属 (例えば、白金、パラジウム、ロジウム、金、イリジウム、銀) 図面符号34のところに示したものと同一材料が適用できよう。 その他普通の半導体電極 (例 |

【表4】

40

| 図面符号 | 一般用語 | 好適または特定例 | その他の例 |
|------|----------|------------|------------------------------------|
| | | | えば、シリサイド、アルミニウム) 1層以上を含むこともできる。 |
| 40 | 導電性半導体材料 | ドーブされたシリコン | 半導体デバイス |

| | | | |
|-----|--------------|---------|---|
| 4 2 | 電極バッ ファ層 | 窒化チタン | その他の導電性金属化合物 (例えば、窒化物：窒化ルテ ニウム、窒化錫、窒化ジルコ ニウム；酸化物：二酸化ルテ ニウム、酸化錫、一酸化チタ ン、 $TiON$ ；シリサイド： チタンシリサイド) 上記材料の組み合わせ（例え ば、 $TiN/TiO/Ti$ ON 、 $TiN/TiSi$ 、 $Ru/RuO/RuO_2$ ） その他の高温導電性拡散障壁 この層は使用しても使用しな くてもよい。 |
| 4 4 | 第2レベル 絶縁体 | 二酸化シリコン | その他の絶縁体（例えば、 窒化シリコン） |

【表5】

| 図面符号 | 一般用語 | 好適または特定例 | その他の例 |
|------|------------|----------|---|
| 4 6 | 導電性 プラグ | タングステン | その他の反応性金属（例えば、 タンタル、チタン、モリブデ ン） 反応性金属化合物（例えば、 窒化物：窒化チタン、窒化ジ ルコニウム；シリサイド：チ タンシリサイド、タンタルシ リサイド、タングステンシリ サイド、モリブデンシリサイ ド、ニッケルシリサイド；カ ーバイド：タンタルカーバイ ド；ボライド：チタンボライ ド） 導電性カーバイドおよびボラ イド（例えば、ボロンカーバ イド） アルミニウム、銅 単体半導体（例えば、単結晶 および多結晶シリコン、ゲル マニウム） 化合物半導体（例えば、 Ga As 、 InP 、 Si/Ge 、 SiC ） |

【表6】

| 図面符号 | 一般用語 | 好適または特定例 | その他の例 |
|------|-----------|----------|--|
| 48 | 上部配線 | アルミニウム | その他の普通の半導体電極 (例えば、シリサイド、TiN) |
| 50 | コンデンサープラグ | タングステン | その他の反応性金属 (例えば、タンタル、チタン、モリブデン) 反応性金属化合物 (例えば、窒化物：窒化チタン、窒化ジルコニウム；シリサイド：チタンシリサイド、タンタルシリサイド、タングステンシリサイド、モリブデンシリサイド、ニッケルシリサイド；カーバイド：タンタルカーバイド；ボライド：チタンボライド) 導電性カーバイドおよびボライド (例えば、ボロンカーバイド) アルミニウム、銅 単体半導体 (例えば、単結晶および多結晶シリコン、ゲルマニウム) |

【表7】

| 図面符号 | 一般用語 | 好適または特定例 | その他の例 |
|------|------|----------|---------------------------------|
| | | | 化合物半導体 (例えば、GaAs、InP、Si/Ge、SiC) |

【0024】以上、数例の好適実施例について詳細に説明してきた。本発明の範囲には、ここに説明したもの以外でしかも本発明に包含されるべき実施例が含まれるであろうことは理解されたい。ここに述べた構造に関連して、そのような構造に対する電氣的接続は、オーミック性、整流性、容量性、直接的または中間回路を介しての間接的なものであり得る。本発明の実施は、個別部品に対して行うことも、完全な集積回路の形でシリコン、ゲルマニウム、ガリウム砒素、またはその他の電子材料群に対して行うこともできる。一般的、好適または特定の

実施例はその他の例に比べて好ましいものとなる。
【0025】本発明は例示した実施例に関して説明してきたが、この説明は限定的な意図のものではない。本発明のその他の実施例が可能であると同時に、例示した実

施例に対して各種の修正や組み合わせが可能であることは、本説明を参照することにより当業者には明らかであろう。従って、請求の範囲はそれらの修正や実施例をすべて包含するものと解釈されるべきである。

【0026】以上の説明に関して更に以下の項を開示する。

(1) ミクロ電子構造を形成する方法であって、次の工程：

(a) 導電性で低濃度にドナーをドーブされたペロブスカイト層を形成すること、および (b) 前記導電性で低濃度にドナーをドーブされたペロブスカイト層の上に高誘電率材料の層を形成すること、を含み、それによって、前記導電性で低濃度にドナーをドーブされたペロブスカイト層が前記高誘電率材料の層に対して化学的およ

び構造的に本質的に安定な電気的接続を提供している方法。

【0027】(2)第1項記載の方法であって、前記ペロブスカイトが、(Ba, Sr, Pb)(Ti, Zr)O₃、チタン酸ビスマス、タンタル酸カリウム、ニオブ酸鉛、ニオブ酸鉛亜鉛、ニオブ酸カリウム、ニオブ酸鉛マグネシウム、およびそれらの組み合わせで構成される群のうちから選ばれたものである方法。

【0028】(3)第1項記載の方法であって、前記ドナーが、F、Cl、V、Nb、Mo、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Ta、W、およびそれらの組み合わせで構成される群のうちから選ばれたものである方法。

【0029】(4)第1項記載の方法であって、前記高誘電率材料の層が、(Ba, Sr, Pb)(Ti, Zr)O₃、(Pb, La)(Zr, Ti)O₃、チタン酸ビスマス、タンタル酸カリウム、ニオブ酸鉛、ニオブ酸鉛亜鉛、ニオブ酸カリウム、ニオブ酸鉛マグネシウム、およびそれらの組み合わせで構成される群のうちから選ばれたものである方法。

【0030】(5)第1項記載の方法であって、前記高誘電率材料の層が未ドーブである方法。

【0031】(6)第1項記載の方法であって、前記高誘電率材料の層がアクセプターをドーブされたものである方法。

【0032】(7)第1項記載の方法であって、前記高誘電率材料の層が高濃度にドナーをドーブされたものである方法。

【0033】(8)第1項記載の方法であって、前記高誘電率材料の層がアクセプターと高濃度のドナーの両方をドーブされたものである方法。

【0034】(9)第1項記載の方法であって、更に電気的に伝導性のバッファ層の上に前記導電性で低濃度にドナーをドーブされたペロブスカイト層を形成する工程を含む方法。

【0035】(10)第9項記載の方法であって、前記電気的に伝導性のバッファ層が、白金、パラジウム、ロジウム、金、イリジウム、銀、ルテニウム、窒化チタン、窒化錫、窒化ルテニウム、窒化ジルコニウム、一酸化ルテニウム、二酸化ルテニウム、酸化錫、一酸化チタン、TiON、チタンシリサイド、およびそれらの組み合わせで構成される群のうちから選ばれたものである方法。

【0036】(11)第1項記載の方法であって、更に前記高誘電率材料の層の上に電気的に伝導性の層を形成する工程を含む方法。

【0037】(12)第1項記載の方法であって、前記電気的に伝導性の層が、白金、パラジウム、ロジウム、金、イリジウム、銀、窒化チタン、窒化錫、窒化ルテニウム、窒化ジルコニウム、二酸化ルテニウム、酸化

錫、一酸化チタン、チタンシリサイド、アルミニウム、およびそれらの組み合わせで構成される群のうちから選ばれたものである方法。

【0038】(13)第1項記載の方法であって、前記電気的に伝導性の層が低濃度にドナーをドーブされたペロブスカイトである方法。

【0039】(14)第1項記載の方法であって、前記ペロブスカイトが、(Ba, Sr, Pb)(Ti, Zr)O₃、チタン酸ビスマス、タンタル酸カリウム、ニオブ酸鉛、ニオブ酸鉛亜鉛、ニオブ酸カリウム、ニオブ酸鉛マグネシウム、およびそれらの組み合わせで構成される群のうちから選ばれたものである方法。

【0040】(15)第1項記載の方法であって、前記ドナーが、F、Cl、V、Nb、Mo、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Ta、W、およびそれらの組み合わせで構成される群のうちから選ばれたものである方法。

【0041】(16)マイクロ電子コンデンサーを作製する方法であって、次の工程：

- (a)電気的に伝導性のバッファ層を形成すること、
- (b)前記電気的に伝導性のバッファ層の上に低濃度にランタンをドーブされたチタン酸バリウムストロンチウム層を形成すること、
- (c)前記低濃度にランタンをドーブされたチタン酸バリウムストロンチウム層の上にチタン酸バリウムストロンチウム誘電体層を形成すること、および
- (d)前記チタン酸バリウムストロンチウム層上へ窒化チタン層を形成すること、を含む方法。

【0042】(17)第1項記載の方法であって、前記低濃度にランタンをドーブされたチタン酸バリウムストロンチウム層が0.1から0.2分子百分率の間の濃度のランタンを含んでいる方法。

【0043】(18)第1項記載の方法であって、前記低濃度にランタンをドーブされたチタン酸バリウムストロンチウム層が0.01から0.29分子百分率の間の濃度のランタンを含んでいる方法。

【0044】(19)第1項記載の方法であって、前記チタン酸バリウムストロンチウム誘電体層が未ドーブである方法。

【0045】(20)第1項記載の方法であって、前記チタン酸バリウムストロンチウム誘電体層が、Na、Al、Mn、Ca、K、Cr、Mn、Co、Ni、Cu、Zn、Li、Mg、およびそれらの組み合わせで構成される群のうちから選ばれた材料でアクセプタードーブされたものである方法。

【0046】(21)第1項記載の方法であって、前記チタン酸バリウムストロンチウム誘電体層が、F、Cl、V、Nb、Mo、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Ta、W、およびそれらの組み合わせで構成される群のうちから選ばれた材料で高濃度にドナードーブされたものである方法。

【0047】(22)第16項記載の方法であって、前記チタン酸バリウムストロンチウム誘電体層が、アクセプタードーブとドナードーブされたものである方法。

【0048】(23)マイクロ電子構造であって；導電性で低濃度にドナーをドーブされたペロブスカイト層、および前記導電性で低濃度にドナーをドーブされたペロブスカイト層を覆う高誘電率材料の層、を含み、それによって、前記導電性で低濃度にドナーをドーブされたペロブスカイト層が前記高誘電率材料の層に対して化学的および構造的に本質的に安定な電氣的接続を提供している構造。

【0049】(24)本発明の好適実施例は、導電性で低濃度にドナーをドーブされたペロブスカイト層（例えば、低濃度にLaをドーブされたBST34）と、前記導電性で低濃度にドナーをドーブされたペロブスカイト層を覆う高誘電率材料の層（例えば、未ドーブのBST36）とを含む。導電性で低濃度にドナーをドーブされたペロブスカイト層は高誘電率材料の層に対して化学的および構造的に本質的に安定な電氣的接続を提供する。導電性で低濃度にドナーをドーブされたペロブスカイトは一般に、未ドーブ、アクセプタードーブ、あるいは高濃度にドナーをドーブされたHDC材料と比べてずっと低い抵抗率を有する。材料を導電性（または抵抗性）にするためのドナードーピング量は通常、プロセス条件（例えば、温度、雰囲気、結晶粒径、膜厚、および組成）に依存する。この抵抗率はペロブスカイトを還元環境に曝すことによって更に低下させることができる。低濃度にドナーをドーブされたペロブスカイトは高誘電率材料のために開発されたものと同じ方法によって効率的に堆積およびエッチすることができる。同一の装置を用いてペロブスカイトと誘電体の両方を堆積およびエッチできる。これらの構造は更に、多層コンデンサーおよびその他の薄膜強誘電性デバイス、例えば、ピロ電気材料、不揮発性メモリ、薄膜圧電および薄膜電気光学的酸化物にも適用できる。

【図面の簡単な説明】

【図1】BaTiO₃の室温導電率と結晶粒径とに対するLaドナードーピングの効果を示すグラフ。

【図2】半導体基板上へ低濃度にドナーをドーブされたペロブスカイト下側電極を備えたコンデンサーを作製するための方法を示す断面図であって、スタート材料であるシリコン半導体基板を示す。

*

*【図3】半導体基板上へ低濃度にドナーをドーブされたペロブスカイト下側電極を備えたコンデンサーを作製するための方法を示す断面図であって、前記シリコン基板上へ第1のSiO₂絶縁層を堆積した段階を示す。

【図4】半導体基板上へ低濃度にドナーをドーブされたペロブスカイト下側電極を備えたコンデンサーを作製するための方法を示す断面図であって、前記第1の絶縁層上へ、下側電極となる低濃度にドナーをドーブされたBST層を堆積した段階を示す。

10 【図5】半導体基板上へ低濃度にドナーをドーブされたペロブスカイト下側電極を備えたコンデンサーを作製するための方法を示す断面図であって、前記下側電極の上にコンデンサーの誘電体となる未ドーブの高誘電率材料のBST層を堆積した段階を示す。

【図6】半導体基板上へ低濃度にドナーをドーブされたペロブスカイト下側電極を備えたコンデンサーを作製するための方法を示す断面図であって、前記高誘電率材料の上に上側電極となるTiN層を堆積した段階を示す。

20 【図7】低濃度にドナーをドーブされたペロブスカイト上に形成された高誘電率材料の断面図。

【図8】半導体基板の表面上に形成された低濃度にドナーをドーブされたペロブスカイトを備えたコンデンサーの1つの実施例の断面図。

【図9】半導体基板の表面上に形成された低濃度にドナーをドーブされたペロブスカイトを備えたコンデンサーの別の1つの実施例の断面図。

【図10】半導体基板の表面上に形成された低濃度にドナーをドーブされたペロブスカイトを備えたコンデンサーの更に別の1つの実施例の断面図。

30 【符号の説明】

- 30 シリコン半導体基板
- 32 SiO₂絶縁層
- 34 低濃度にドナーをドーブされたペロブスカイト層
- 36 高誘電率材料の層
- 38 TiN上側電極
- 40 ドープされたシリコン領域
- 42 TiNバッファー層
- 44 第2のSiO₂絶縁層
- 46 導電性タングステンブラグ
- 48 アルミニウム上部配線
- 50 タングステンブラグ

【図2】

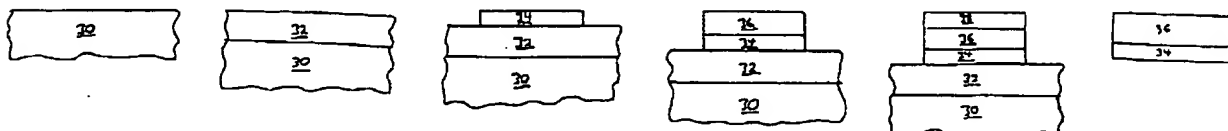
【図3】

【図4】

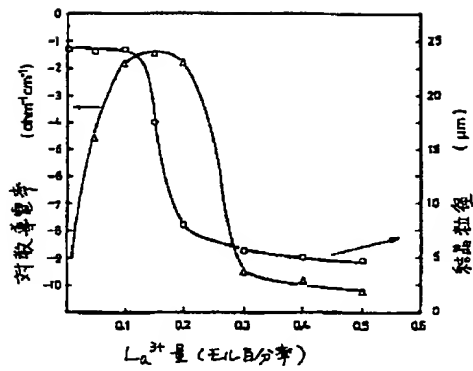
【図5】

【図6】

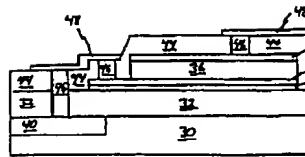
【図7】



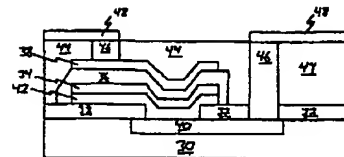
【図1】



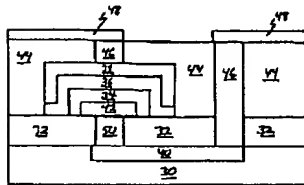
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 ハワード アール、ベラタン
アメリカ合衆国テキサス州リチャードソ
ン、イー、ベルトライン 2111, アパート
メント ナンバー 106ビー

(72)発明者 ブルース グナーデ
アメリカ合衆国テキサス州ローレット, ア
ーディス ドライブ 3702